

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局(43) 国際公開日  
2004年9月30日 (30.09.2004)

PCT

(10) 国際公開番号  
WO 2004/084594 A1

- (51) 国際特許分類<sup>7</sup>: H05K 1/11, 3/40, B23K 26/38
- (21) 国際出願番号: PCT/JP2004/003681
- (22) 国際出願日: 2004年3月18日 (18.03.2004)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願2003-077581 2003年3月20日 (20.03.2003) JP
- (71) 出願人 (米国を除く全ての指定国について): TDK株式会社 (TDK CORPORATION) [JP/JP]; 〒1038272 東京都中央区日本橋一丁目13番1号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてののみ): 後藤 真史 (GO-TOH, Masashi) [JP/JP]; 〒1038272 東京都中央区日本橋一丁目13番1号 TDK株式会社内 Tokyo (JP).

川崎 薫 (KAWASAKI, Kaoru) [JP/JP]; 〒1038272 東京都中央区日本橋一丁目13番1号 TDK株式会社内 Tokyo (JP). 山本 洋 (YAMAMOTO, Hiroshi) [JP/JP]; 〒1038272 東京都中央区日本橋一丁目13番1号 TDK株式会社内 Tokyo (JP). 中野 睦子 (NAKANO, Mutsuko) [JP/JP]; 〒1038272 東京都中央区日本橋一丁目13番1号 TDK株式会社内 Tokyo (JP).

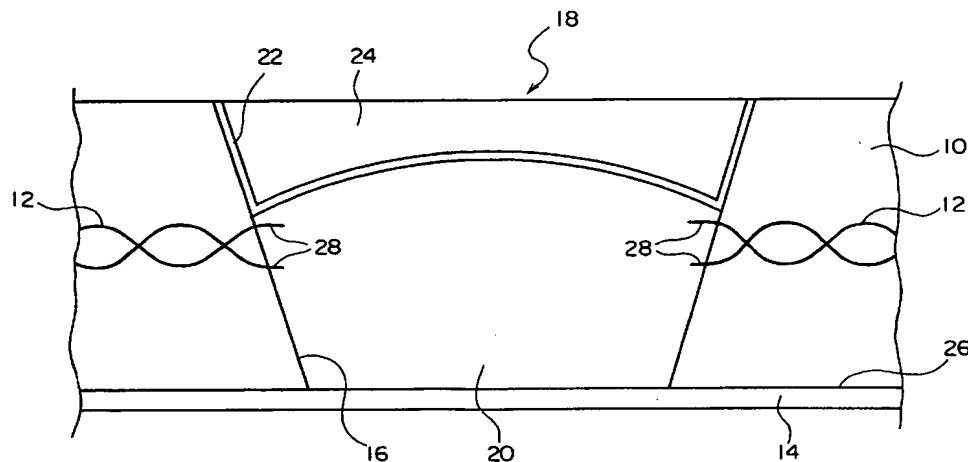
(74) 代理人: 岡部 正夫, 外 (OKABE, Masao et al.); 〒1000005 東京都千代田区丸の内3丁目2番3号 富士ビル602号 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

[続葉有]

(54) Title: PROCESS FOR PRODUCING ELECTRONIC COMPONENT AND ELECTRONIC COMPONENT

(54) 発明の名称: 電子部品の製造方法および電子部品



(57) Abstract: A process for producing an electronic component and an electronic component exhibiting excellent heat dissipation characteristics in which low resistivity can be attained and the conductive part can be prevented from falling off a basic material. The electronic component comprises the basic material (12) having a core material (12) and a conductor layer (14) formed at least on one side thereof, a via hole (16) made by irradiating the other side of the basic material with a laser beam, a first plating layer (20) formed to cover the core material exposed to the inner wall face of the via hole using the conductor layer as an electrode, an electroless plating layer (22) formed on the upper layer side of the first plating layer and tightly containing the inner wall face of the via hole, and a second plating layer (24) formed to cover the electroless plating layer using the conductor layer as an electrode, wherein a conductor part (18) is formed of the first plating layer, the electroless plating layer and the second plating layer in the via hole.

[続葉有]



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:  
— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

---

(57) 要約:

放熱特性に優れ、低抵抗率化を達成できるとともに、基材に対し導体部の脱落防止を行うことのできる電子部品の製造方法および電子部品を提供する。

芯材(12)を有し少なくとも片面に導体層(14)が形成された基材(12)と、基材の他方表面側よりレーザ照射により形成されたビアホール(16)と、導体層を電極としてビアホールの内壁面に露出する芯材を覆うよう形成される第1めっき層(20)と、この第1めっき層の上層側に形成されビアホールの内壁面に密接する無電解めっき層(22)と、無電解めっき層を覆うよう導体層を電極として形成される第2めっき層(24)とを備え、第1めっき層と前記無電解めっき層と第2めっき層とで、前記ビアホール内に導体部(18)を構成するようにした。

## 1

## 明 細 書

## 電子部品の製造方法および電子部品

## 5 技術分野

本発明は、電子部品の製造方法および電子部品に係り、特に基材の表裏間の導通処理をなす電子部品の製造方法および電子部品に関する。

## 背景技術

10 従来、基材の表裏面上に配線パターンを形成するとともにこれら配線パターンを前記基材を介して接続するようにした電子部品およびプリント配線基板が知られている。

そして同構造を形成するため基材に対しビアホールを形成し、その後、前記ビアホール内に導体部を形成する製造方法が種々提案・開示されている。図 6  
15 A、6 Bおよび6 Cは、従来のビアホールおよび導体部の形成方法を示す断面説明図である。

図 6 Aに示すように、従来、基材 1 に対してビアホール 2 を形成するには、まず当該ビアホール 2 の形成対象となる基材 1 をステージ（図示せず）上に設置する。そしてステージ上に設置された基材 1 の上方よりビアホール 2 の穴径  
20 に相当する外径を有したドリル 3 を降下させ、穴空け加工を行いビアホール 2 を形成する。なお前記ビアホール 2 を基材 1 に複数形成する場合には、前記ステージまたはドリル 3 を基材表面に沿って平行移動させ、穴空け加工を繰り返し行うようにすればよい。

このように基材 1 にビアホール 3 を形成した後は、このビアホール 3 内に導  
25 体部を形成する。図 6 Bは、導体部を形成する第 1 の方法を示しており、図 6 Bによれば、基材 1 にビアホール 2 を形成した後、スキージ 4 を用いて、金、

銀、銅、アルミニウム等の低抵抗金属の粉末を含有する導電ペースト5をビアホール2内に充填させ、導体部6を形成する。

また図6Cは、導体部を形成する第2の方法を示しており、図6Cによれば、  
5 基材1にビアホール2を形成した後、無電解めっきを用いて、ビアホール2の  
内壁面に金属膜7を形成し、これを導体部6とする。

しかし上述したビアホール形成方法およびビアホール内に導体部を形成する  
方法では、電子部品の小型化要求に伴うビアホール径の縮小により以下の問題  
が生じる。

すなわちビアホールを形成する方法では、ビアホール径の縮小によりドリル  
10 径が小さくなると、ドリルでの加工が困難になったり、ドリル寿命（ワーク寿  
命）が短くなるという問題があった。

またビアホール内に導電ペーストを充填させ導体部を形成する方法では、ビ  
アホールが小径化すると、スキージを用いて導電性ペーストをビアホール内に  
充填させるのが困難になるという問題があった。さらに導電ペーストは、金属  
15 粉末の他に樹脂を含んでいるので、導体部の抵抗値が増大し、放熱特性が悪化  
したり低抵抗化が図れないという問題点があった。これらの問題は、ビアホー  
ルの内径が小さくなればなるほど顕著になる。

また無電解めっきを使用して導体部を形成する方法もビアホール内に金属  
が充填されず空隙が発生してしまうことから、導電ペーストを使用した方法と  
20 同様、導体部の抵抗値が増大し、放熱特性が悪化したり低抵抗化が図れないと  
いう問題点が発生する。

このような問題を解決するために、ビアホールをレーザー照射により形成する  
とともに、このビアホール内に電気めっきにより金属を析出させ、導体部（金  
属導体）を形成する方法が知られている（例えば、特許文献1参照。）。

25

&lt;特許文献1&gt;

特開2001-144444号公報（請求項3、第1図）

しかし上述したビアホールをレーザ照射により形成した後、電気めっきにより金属導体を形成する方法では、以下に示す問題点があった。

- すなわち電解めっきによりビアホール内に導体部を形成する方法では、無電解めっきに比べ析出速度が速く、短時間でビアホール内に導体部を形成することができるものの、前記電気めっきによる析出で形成された導体部は、ビアホールの界面、すなわち基材端面との接合強度が低いという問題点があった。これにより、基材に外力が加わったり、温度や湿度の変化によって基材の寸法変動が繰り返し行われると、基材の寸法変動によるストレスにより界面に剥離が生じ、導体部がビアホールより脱落する恐れがあった。
- そしてレーザ照射による加工では、穴の断面形状が台形になり、テーパ部が形成されることから、界面にはせん断方向だけでなく、剥離方向の力が加わるので剥離は一層顕著になってしまう。

#### 発明の開示

- 本発明は、上記従来の問題点に着目し、放熱特性に優れ、低抵抗率化を達成できるとともに、基材に対し導体部の脱落防止を行うことのできる電子部品の製造方法および電子部品を提供することを目的とする。

- 本発明は、基材表面と親和性の高い無電解めっきを電解めっきの途中に加えるようにしたり、あるいはビアホール端面にアンカー作用をなす突起部を形成すれば、基材に対して導体部を強固に密着できるという知見に基づいてなされたものである。

- すなわち本発明に係る電子部品の製造方法は、少なくとも片面に導体層が形成された基材の他方表面側よりレーザ照射を行い前記基材にビアホールを形成する工程と、前記導体層を電極として前記ビアホール内にめっきを析出させ前記ビアホール内に導体部を形成する工程とを有するとともに、前記ビアホールの内壁面に密接する無電解めっき層が前記導体部の厚み方向に存在するよ

う無電解めっきを前記ビアホール内に析出させる工程を有することとした。

さらに具体的には、芯材を有し片面に導体層が形成された基材の表裏間の導通処理を施す電子部品の製造方法であって、少なくとも前記導体層が形成された前記基材の他方表面側よりレーザ照射を行い前記基材にビアホールを形成し、前記導体層を電極として前記ビアホールの内壁面に露出する前記芯材を覆うまでめっきを析出させた後に、前記ビアホールの内壁面に密着する無電解めっき層を形成し、その後前記無電解めっき層を覆うよう前記導体層を電極として再度めっきを析出し、前記ビアホール内に導体部を形成する工程を有することとした。

10      なお前記芯材を前記レーザ照射により前記ビアホールの内壁面から突出させ、前記導体部に対しアンカー構造を形成することが望ましい。

また本発明に係る電子部品の製造方法の他の形態は、芯材を有し片面に導体層が形成された基材の表裏間の導通処理を施す電子部品の製造方法であって、少なくとも前記導体層が形成された前記基材の他方表面側よりレーザ照射を行い前記基材にビアホールを形成するとともに前記ビアホールの内壁面より芯材を突出させ、その後、前記導体層を電極として前記ビアホールの内壁面に突出する前記芯材とアンカー構造を形成するようめっきを析出させ、前記ビアホール内に導体部を形成する工程を有することとした。

なお前記芯材は、ガラスクロスからなることが望ましい。

20      また本発明に係る電子部品は、

少なくとも片面に導体層が形成された基材と、

前記基材の他方表面側よりレーザ照射により形成されたビアホールと、

前記ビアホールの内壁面に密接する無電解めっき層と、

前記無電解めっき層を覆うとともに、前記ビアホール内に形成される導体部

25      とを備える構成とした。

さらに具体的には、

芯材を有し少なくとも片面に導体層が形成された基材と、

前記基材の他方表面側よりレーザ照射により形成されたピアホールと、

前記導体層を電極として前記ピアホールの内壁面に露出する前記芯材を覆うよう形成される第1めっき層と、

5 前記第1めっき層の上層側に形成され前記ピアホールの内壁面に密接する無電解めっき層と、

前記無電解めっき層を覆うよう前記導体層を電極として形成される第2めっき層とを備え、

10 前記第1めっき層と前記無電解めっき層と前記第2めっき層とで、前記ピアホール内に導体部を構成するよう構成した。

そして前記ピアホールの内壁面に突起部を形成し、この突起部と前記導体部とでアンカー構造を形成することが望ましく、さらに前記突起部は、前記芯材の前記ピアホールの内壁面からの突出により形成され、そして前記芯材は、ガラスクロスからなることが好ましい。

15 また本発明に係る電子部品の他の形態は、

少なくとも片面に導体層が形成された基材と、

前記基材の他方表面側よりレーザ照射により形成されたピアホールと、

前記ピアホールの内壁面より突出する突起部と、

20 前記ピアホール内に形成された前記突起部とのアンカー構造をなすことで前記突起部より抜け止め防止が図られる導体部とを備えるよう構成した。

そして前記突起部は、前記基材中に含まれる芯材の前記ピアホールの内壁面からの突出により形成されることが望ましく、さらに前記芯材は、ガラスクロスからなることが好ましい。

25 上記構成によれば、導体部を形成する電解めっきの工程を少なくとも2段階に分割し、その間に無電解めっきを行うようにしたので、ピアホールの内壁面に無電解めっき層が形成される。このため前記無電解めっき層がピアホール内

壁面側と電解めっき側とに強固に密着し、その結果、導体部は、たとえ基材に応力が加わっても、ビアホール端面との間に剥離が生じず、導体部の脱落防止を図ることができるのである。

5       ところで本発明の構成によれば、ビアホールの内壁面から芯材を突出させるとともに、この芯材が無電解めっき層に接触しないよう、第1めっき層とアンカー構造を形成するようにしたが、これは以下の理由によるものである。

すなわち導電層を電極として電気めっきを行うと、前記導電層側よりめっきが成長するが、ビアホールの内壁面にあらかじめ無電解めっき層が形成されていると、この無電解めっき層にも電気が流れてしまい電界集中が発生し易いエッジ部分、すなわちビアホールの開口縁部や、ビアホールの内壁面から突出する芯材の部分でめっき厚が増大するおそれがある。そしてこのめっき厚の増大によりビアホールの開口部が塞がれ、導体部内部に空隙が生じると、導体部の抵抗値が増大したり放熱特性が低下してしまう。このような不具合を防止するため、上記に示すように本発明においては、芯材に無電解めっき層が接触しないような構成とした。なお無電解めっき液をつける工程では、基材にダメージを与える液を長時間使用するため、樹脂、特に芯材にダメージを与えたり、液残渣が残りやすかったりする。このように芯材がダメージを受けたり、液残渣があると、製品時に耐湿性の劣化などを引き起こすおそれがある。本発明においては、これら諸問題についても回避することが可能になり、製品時の信頼性向上に寄与することができる。

また上記構成とは別に、ビアホールの端面より芯材を突出させ、この端面より突出した芯材と、導体部とでアンカー構造を形成すれば、上記構成と同様、導体部は、基材に応力が加わっても、導体部の脱落防止を図ることができる。

25       なお上述したこれら2つの構成は、互いに独立するものではなく、これら2つの構成を組み合わせれば、なお一層の信頼性向上が図れることはいうまでもない。



## 図面の簡単な説明

図 1 は、本実施の形態に係る電子部品の要部断面図である。

5 図 2 A、2 B および 2 C は、本実施の形態に係る電子部品の製造方法を説明するための工程説明図である。

図 3 A、3 B および 3 C は、本実施の形態に係る電子部品の製造方法を説明するための工程説明図である。

図 4 A および 4 B は、本実施の形態に係る電子部品の応用例を示す要部断面図である。

10 図 5 は、ビアホールに対する導体部の接合強度の向上をアンカー構造のみで達成した構成を示す要部断面図である。

図 6 A、6 B および 6 C は、従来のビアホールおよび導体部の形成方法を示す断面説明図である。

## 15 発明を実施するための最良の形態

以下に本発明に係る電子部品の製造方法、および電子部品について好適な具体的実施の形態を図面を参照して詳細に説明する。

図 1 は、本実施の形態に係る電子部品における基材の要部断面図である。

20 ここで基材とは、前記電子部品の骨格をなすもので、前記基材の表裏面にそれぞれ配線層が積層され、配線パターンが形成される。そして基材の表裏面にそれぞれ形成される配線パターンは後述する基材のビアホールに形成された導体部を介してそれぞれ電氣的に接続される。

25 同図に示すように、本実施の形態に係る電子部品を構成する基材 10 は、樹脂を平板状に形成したものであり、その中央部分には基材 10 自体の強度を確保するための芯材 12 が設けられている。なお本実施の形態では、前記芯材 12 をガラス繊維を折り込んだガラスクロスで構成するようにしたが、これに限

定されることもなく、基材 1 2 自体を補強できるものであれば他の材料を適用してもよい。

同図における基材 1 2 の下面側には銅箔からなる配線層 1 4 が設けられており、後述する本実施の形態に係る電子部品の製造方法において、電気めっきにより導体部を形成するための電極の役割を果たしている。また同図中央部分には、基材 1 0 を貫通する逆円錐形状のピアホール 1 6 が形成され、さらにピアホール 1 6 の内部には基材 1 0 の表裏側に形成される配線パターン（図示せず）の電氣的導通をなすための導体部 1 8 が形成されている。そして当該導体部 1 8 は、基材 1 0 の下面側（すなわち配線層 1 4 側）より、第 1 めっき層 2 0、無電解めっき層 2 2、第 2 めっき層 2 4 の 3 層の積層にて構成される。

前記第 1 めっき層 2 0 は、配線層 1 4 を電極とした電気めっきにより形成され、その高さは前記配線層 1 4 の表面 2 6 から少なくとも、芯材 1 2 を覆うまでの寸法に設定される。ところでピアホール 1 6 の内壁面からは、図中に示すように芯材 1 2 が突出しており、この芯材 1 2 の突出部 2 8 が前記第 1 めっき層 2 0 内に取り込まれアンカー構造を構成するようにしている。

そして前記第 1 めっき層 2 0 の上層に位置する無電解めっき層 2 2 は、第 1 めっき層 2 0 の上面部分と、ピアホール 1 6 の内壁面において第 1 めっき層 2 0 が形成されるより上側を被覆するように形成される。なお無電解めっき層 2 2 は、いわゆる化学めっきであり、これにより電気めっきで形成される層に比べ、基材 1 0 に対し親和性（密着性）が高く、無電解めっき層 2 2 によって基材 1 0 と導体部 1 8 とは強固に接続されるようになっている。このため無電解めっき層 2 2 については、第 1 めっき層 2 0 および第 2 めっき層 2 4 に相当する程の厚みは必要なく、接合強度が図れるだけの最低限の厚みがあればよい。またピアホール 1 6 の内壁面に対し無電解めっき層 2 2 の接合強度を向上させる目的から、無電解めっき層 2 2 が芯材 1 2 に接触しないよう第 1 めっき層 2 0 が芯材 1 2 を覆う高さまで形成されている。

そして無電解めっき層 22 の上層には、第 2 めっき層 24 が形成されているが、この第 2 めっき層は、前記第 1 めっき層 20 と同様に、配線層 14 を電極とした電気めっきにより形成されている。

5       このようにビアホール 16 を埋める導体部 18 は、無電解めっきを挟んだ 2 つの電気めっきにより形成されているので、純度が高い金属部材からなり、低抵抗化が図られるようになっている。またこのような導体部 18 では、ビアホール 16 から突出する芯材 12 からなる突出部 28 と、第 1 めっき層 20 とでアンカー構造が形成され、さらに無電解めっき層 22 によって、基材 10 との接合強度の向上が図られていることから、たとえビアホール 16 に外力が加わ  
10       っても導体部 18 が前記ビアホール 16 から脱落するといった不具合を防止することができるのである。

このように構成された電子部品を製造する方法を以下に説明する。

図 2 A、図 2 B、図 2 C、図 3 A、図 3 B および図 3 C は、本実施の形態に係る電子部品の製造方法を説明するための工程説明図である。

15       まず図 2 A に示すように、基材 10 に対しビアホール 12 を形成する際には、まず加工対象となる基材 10 を配線層 14 が下面となるよう図示しないステージに設置する。そして前記基材 10 をステージに設置した後は、基材 10 の上方に設置されたレーザ加工機（例えば炭酸ガスレーザ）30 を用い、基材 10 における加工対象位置にレーザ光 32 を照射する。なおレーザ光 32 の光路  
20       途中に配置される第 1 部材 34、第 2 部材 36 は、前記レーザ光 32 の進路等を調整するための光学部材であり、これらは加工の種々条件により適宜使用されればよい。このようにレーザ加工機 30 を用いて、レーザ光 32 を基材 10 に照射すれば、図 2 B に示すように、基材 10 を構成する樹脂が熔融し、ビアホール 16 が形成される。なお基材 10 を構成する樹脂と芯材 12 の熔融温度  
25       の違いに着目して、ビアホール 16 の内壁面より、芯材 12 が突出するようにレーザ光 32 のパワーを調整すれば、ビアホール 16 の内壁面より突出部 28

を形成することができる。

図 2 B に示すように基材 1 0 にレーザ光 3 2 の照射によりピアホール 1 6 を形成した後は、図 2 C に示すように、配線層 1 4 を電極としてピアホール 1 6 内に第 1 めっき層 2 0 を電気めっきにより形成する。そしてこの第 1 めっき層 2 0 は、無電解めっき層 2 2 が突出部 2 8 に接触しないよう、当該突出部 2 8 を覆うだけの高さにする。なお第 1 めっき層 2 0 の高さ寸法の設定は、電気めっき時の時間設定によって管理すればよい。

こうしてピアホール 1 6 内に第 1 めっき層 2 0 を形成した後は、図 3 A に示すように、基材 1 0 の上面を化学めっき用の液に浸漬させ、無電解めっきを行う。このように無電解めっきを基材 1 0 に対して行えば、基材 1 0 の上面、第 1 めっき層 2 0 の上面およびピアホール 1 6 の内壁面に無電解めっき層 2 2 が形成される。

次いで図 3 A に示すように、基材 1 0 の上面側に無電解めっき層 2 2 を形成した後は、図 3 B に示すように、第 1 めっき層 2 0 を形成するのと同様に、配線層 1 4 を電極として、無電解めっき層 2 2 の上面側に第 2 めっき層 2 4 を形成する。そして 2 度目の電気めっき工程を終了した後は、フォトリソング工程等を用いて、基材 1 0 の上面に形成された無電解めっき層 2 2 および第 2 めっき層 2 4 の除去を行い、ピアホール 1 6 内に、3 層構造からなる導体部 1 8 を形成すればよい。ピアホール 1 6 内に導体部 1 8 を形成した状態を図 3 C に示す。

このような手順を経て構成された導体部 1 8 は、例えば導電性ペーストのように樹脂成分を含んでいないことから、低抵抗率を達成することができる。さらに金属成分の純度が高いことから放熱特性に優れ、例えば、この基材 1 0 の表裏面に配線パターンを形成した場合、前記導体部 1 8 上に積み重なる金属導体部を介して、電子部品内部に発生した熱を効率よく外部に放熱することができるのである。

なお本実施の形態では、導体部 18 を 3 層構造として説明を行ったがこの形態に限定されることもなく、様々な形態をとることが可能である。

図 4 は、本実施の形態に係る電子部品の応用例を示す要部断面図である。

図 4 A に示すように、基材 10 に芯材 12 が存在しない場合、もしくは芯材 12 が存在しても、無電解めっき層 22 と接しても問題なければ、導体部 18 の各層の厚み寸法を適宜変更するようにしてもよい。すなわち図 4 A においては、第 1 めっき層 20 の厚みを薄くして、ビアホール 16 上に形成される無電解めっき層 22 の形成面積を大きくするようにしている。これにより無電解めっき層 22 による接合強度を一層強固にすることができる。

また図 4 B に示すように、第 1 めっき層 20 を廃止し、さらに無電解めっき層 22 の形成面積を大きくするようにしてもよい。このような構成を用いれば、無電解めっき層 22 における接合強度を最大にすることが可能になる。

なお本実施の形態では、突出部 28 によるアンカー構造と、無電解めっき層 22 による組み合わせによってビアホール 16 に対する導体部 18 の接合強度を向上させるようにしたが、この形態に限定されることもなく、アンカー構造のみによって、ビアホール 16 に対する導体部 18 の接合強度を向上させるようにしてもよい。図 5 は、ビアホールに対する導体部の接合強度の向上をアンカー構造のみで達成した構成を示す要部断面図である。

同図に示すように、突出部 28 をビアホール 16 の内壁面から突出させ、この突出部 28 を含むように電気めっきを施し、第 1 めっき層 20 を形成すれば、前記突出部 28 によって導体部 18 を物理的に保持することが可能になり、このような構成を用いるようにしても接合強度の向上を図ることができるのである。

なお本実施の形態では、ビアホール 16 内に導体部 18 を形成するための導体層を、導体部 18 を形成した後、配線層 14 としても用いることとしたが、この形態に限定されることもなく、例えば、前記導体層をエッチング等によつ

て基材 10 から全面剥離した後、無電解めっき、電解めっき等を行い給電膜を形成し、その後ドライフィルムを貼り付け露光、現像をおこなった後に電解めっきを行い新たに配線層を作ることにより高密度配線に適した電子部品を提供することも当然可能である。また新たな配線層を形成する手順については、  
5      めっきの種類や露光や現像などの工程が製品の仕様に応じて適宜変更されることはいうまでもない。

以上説明したように本発明によれば、少なくとも片面に導体層が形成された基材と、前記基材の他方表面側よりレーザ照射により形成されたビアホールと、前記ビアホールの内壁面に密接する無電解めっき層と、前記無電解めっき層を  
10      覆うとともに、前記ビアホール内に形成される導体部とを備えるようにしたことから、導体部の放熱特性の向上と、低抵抗化が達成できるとともに、基材に対する導体部の接合強度が向上し、部品自体の信頼性向上を達成することができる。

## 請求の範囲

1. 少なくとも片面に導体層が形成された基材の他方表面側よりレーザー照射を行い前記基材にビアホールを形成する工程と、前記導体層を電極として前記ビアホール内にめっきを析出させ前記ビアホール内に導体部を形成する工程とを有するとともに、前記ビアホールの内壁面に密接する無電解めっき層が前記導体部の厚み方向に存在するよう無電解めっきを前記ビアホール内に析出させる工程を有することを特徴とする電子部品の製造方法。

2. 芯材を有し片面に導体層が形成された基材の表裏間の導通処理を施す電子部品の製造方法であって、少なくとも前記導体層が形成された前記基材の他方表面側よりレーザー照射を行い前記基材にビアホールを形成し、前記導体層を電極として前記ビアホールの内壁面に露出する前記芯材を覆うまでめっきを析出させた後に、前記ビアホールの内壁面に密着する無電解めっき層を形成し、その後前記無電解めっき層を覆うよう前記導体層を電極として再度めっきを析出し、前記ビアホール内に導体部を形成する工程を有することを特徴とする電子部品の製造方法。

3. 前記芯材を前記レーザー照射により前記ビアホールの内壁面から突出させ、前記導体部に対しアンカー構造を形成することを特徴とする請求項2に記載の電子部品の製造方法。

4. 芯材を有し片面に導体層が形成された基材の表裏間の導通処理を施す電子部品の製造方法であって、少なくとも前記導体層が形成された前記基材の他方表面側よりレーザー照射を行い前記基材にビアホールを形成するとともに前記ビアホールの内壁面より芯材を突出させ、その後、前記導体層を電極として前記ビアホールの内壁面に突出する前記芯材とアンカー構造を形成するようめっきを析出させ、前記ビアホール内に導体部を形成する工程を有することを特徴とする電子部品の製造方法。

5. 前記芯材は、ガラスクロスからなることを特徴とする請求項2乃至請求項4のいずれか1項に記載の電子部品の製造方法。

6. 少なくとも片面に導体層が形成された基材と、  
前記基材の他方表面側よりレーザ照射により形成されたビアホールと、  
5 前記ビアホールの内壁面に密接する無電解めっき層と、  
前記無電解めっき層を覆うとともに、前記ビアホール内に形成される導体部とを備えることを特徴とする電子部品。

7. 芯材を有し少なくとも片面に導体層が形成された基材と、  
前記基材の他方表面側よりレーザ照射により形成されたビアホールと、  
10 前記導体層を電極として前記ビアホールの内壁面に露出する前記芯材を覆うよう形成される第1めっき層と、  
前記第1めっき層の上層側に形成され前記ビアホールの内壁面に密接する無電解めっき層と、  
前記無電解めっき層を覆うよう前記導体層を電極として形成される第2め  
15 っき層とを備え、  
前記第1めっき層と前記無電解めっき層と前記第2めっき層とで、前記ビアホール内に導体部を構成することを特徴とする電子部品。

8. 前記ビアホールの内壁面に突起部を形成し、この突起部と前記導体部とでアンカー構造を形成することを特徴とする請求項7に記載の電子  
20 部品。

9. 前記突起部は、前記芯材の前記ビアホールの内壁面からの突出により形成されることを特徴とする請求項8に記載の電子部品。

10. 前記芯材は、ガラスクロスからなることを特徴とする請求項9に記載の電子部品。

25 11. 少なくとも片面に導体層が形成された基材と、  
前記基材の他方表面側よりレーザ照射により形成されたビアホールと、



前記ビアホールの内壁面より突出する突起部と、  
前記ビアホール内に形成された前記突起部とのアンカー構造をなすことで前記突起部より抜け止め防止が図られる導体部とを備えることを特徴とする電子部品。

5            1 2.    前記突起部は、前記基材中に含まれる芯材の前記ビアホール  
の内壁面からの突出により形成されることを特徴とする請求項 1 1 に記載の  
電子部品。

            1 3.    前記芯材は、ガラスクロスからなることを特徴とする請求項  
1 2 に記載の電子部品。

FIG. 1

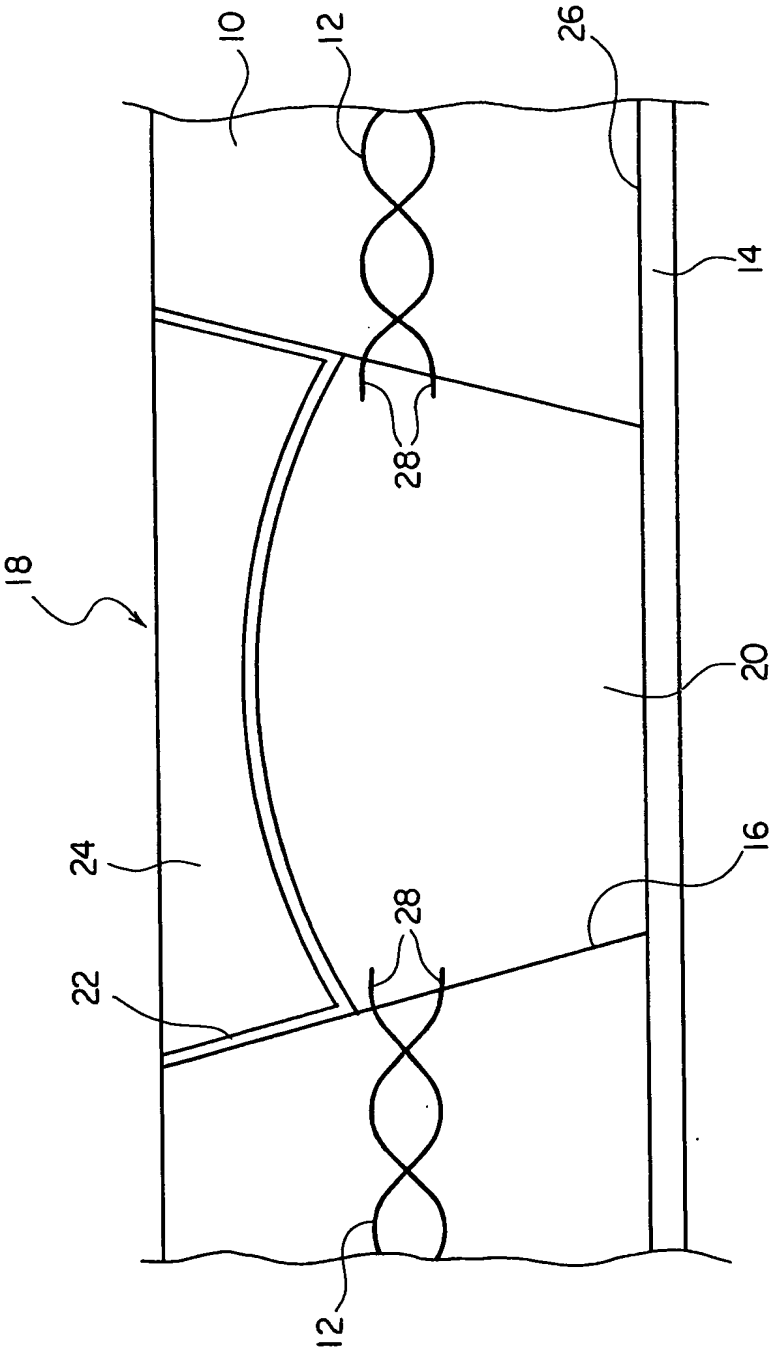


FIG. 2A

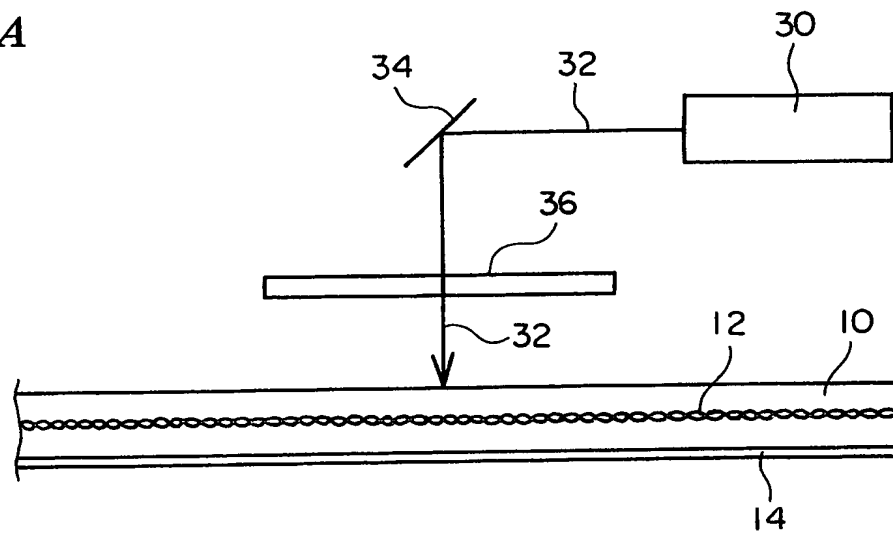


FIG. 2B

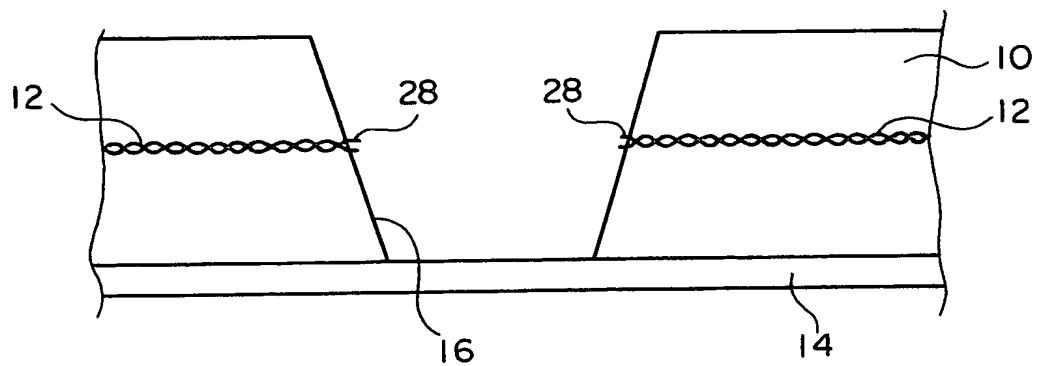
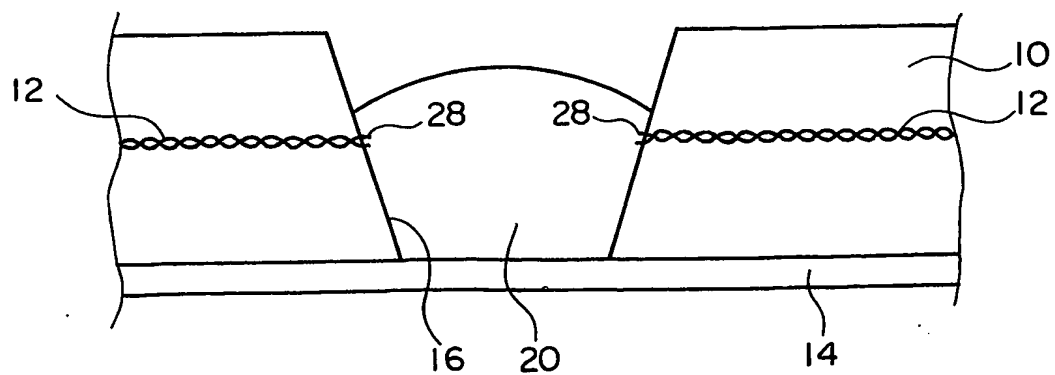
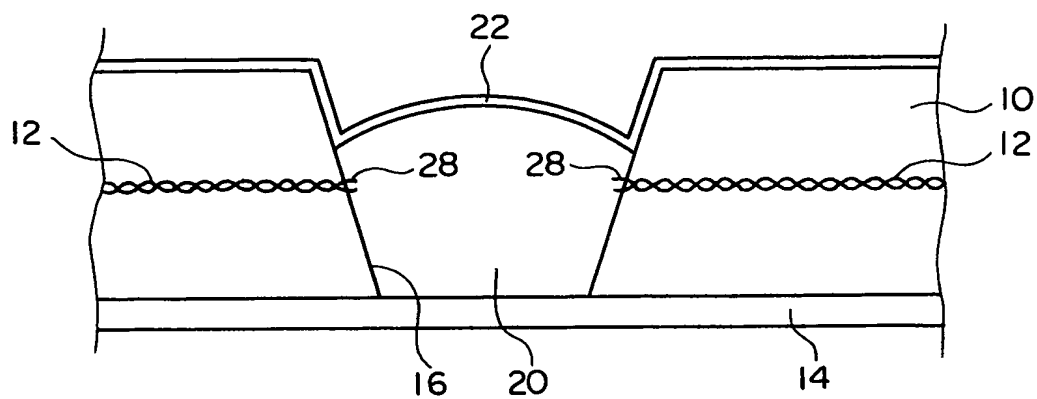


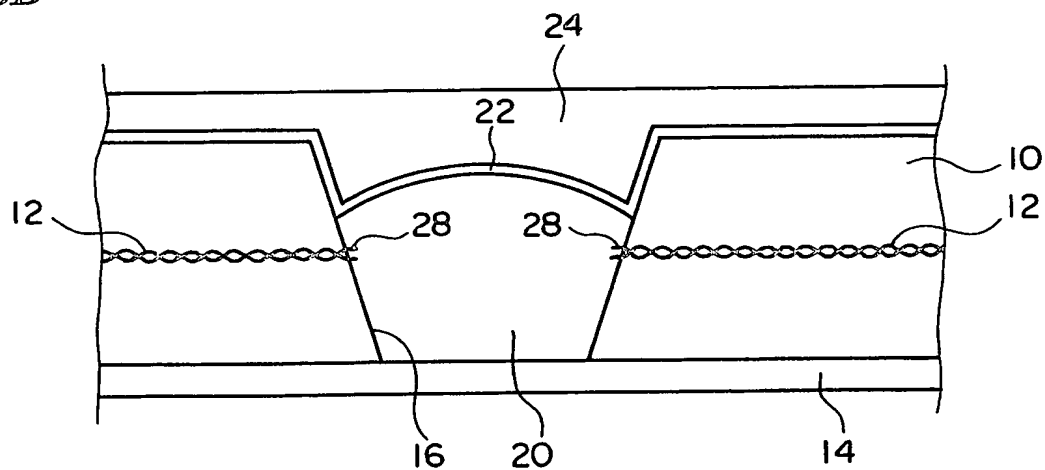
FIG. 2C



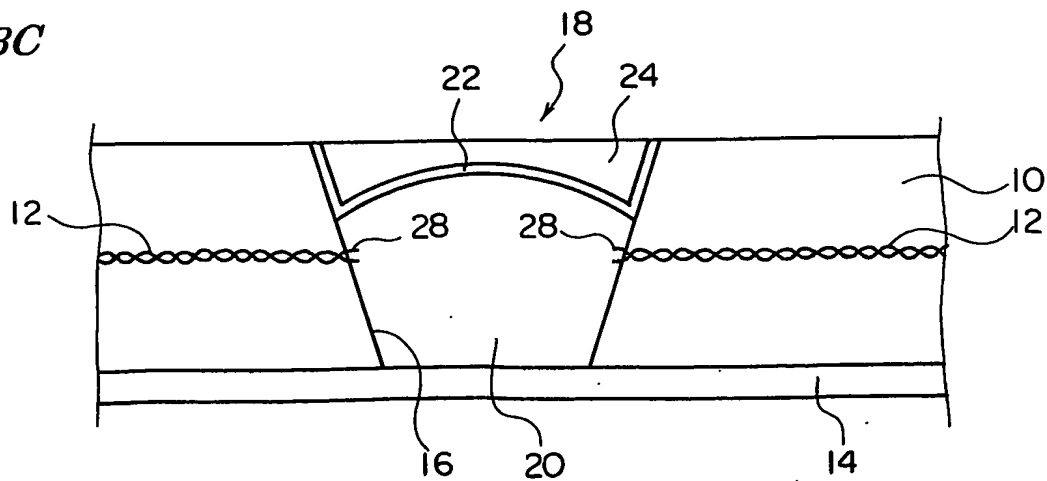
**FIG. 3A**



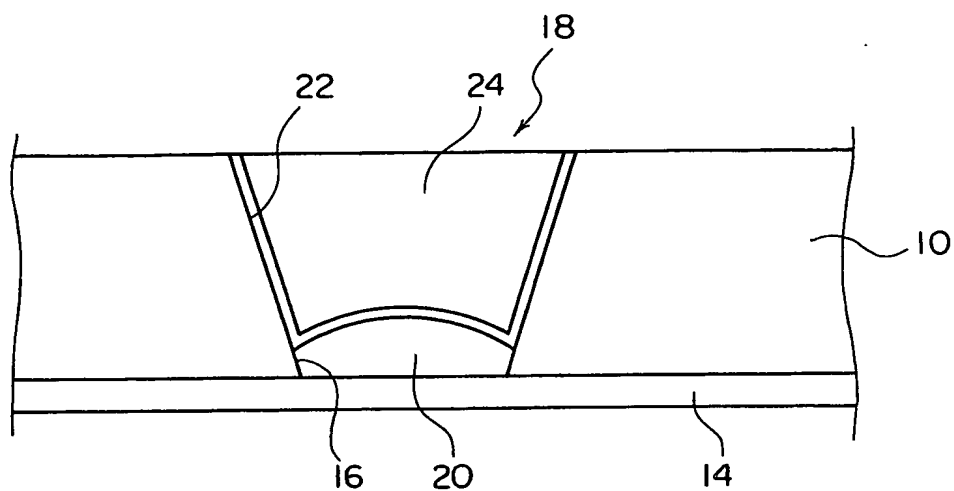
**FIG. 3B**



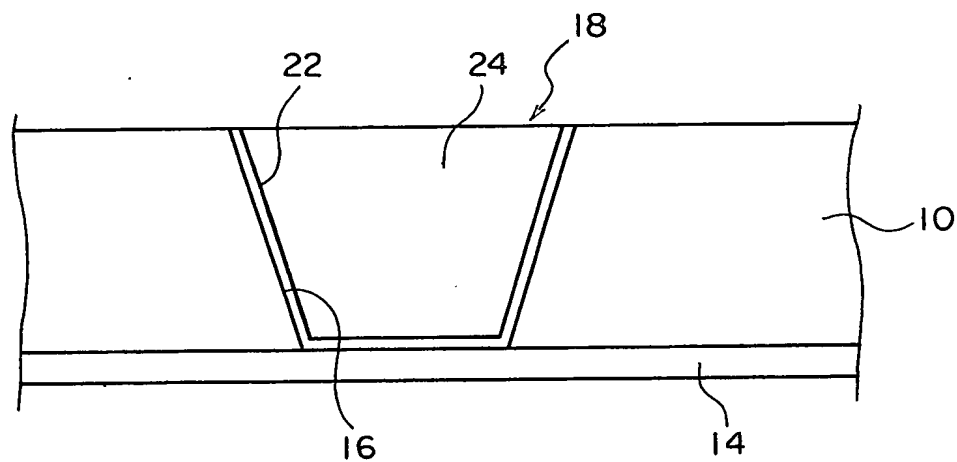
**FIG. 3C**



**FIG. 4A**



**FIG. 4B**



**FIG. 5**

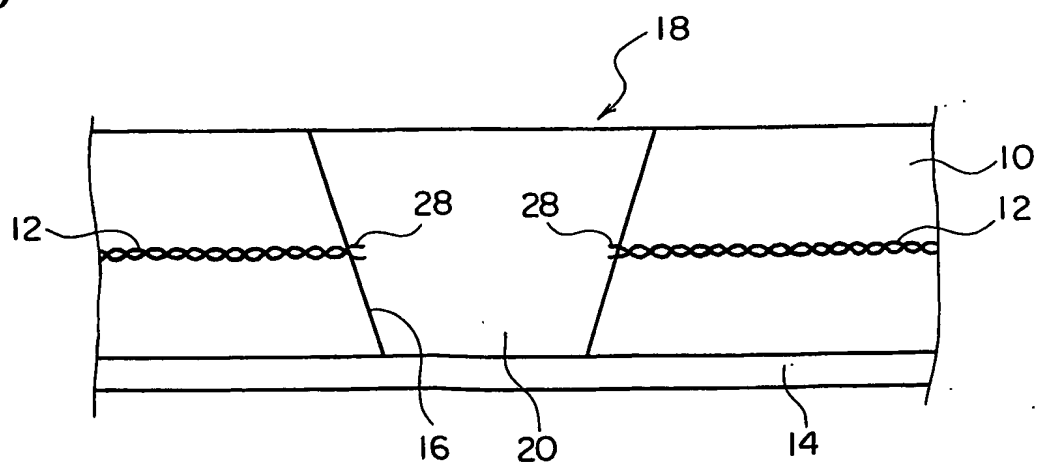


FIG. 6A

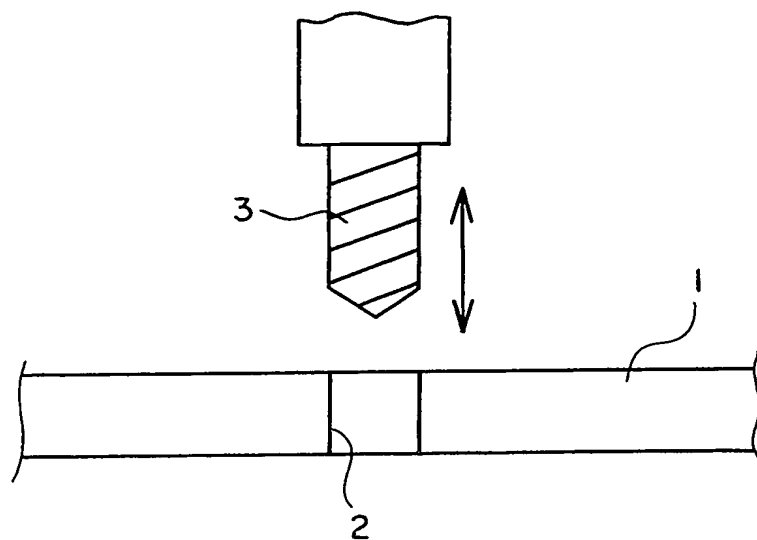


FIG. 6B

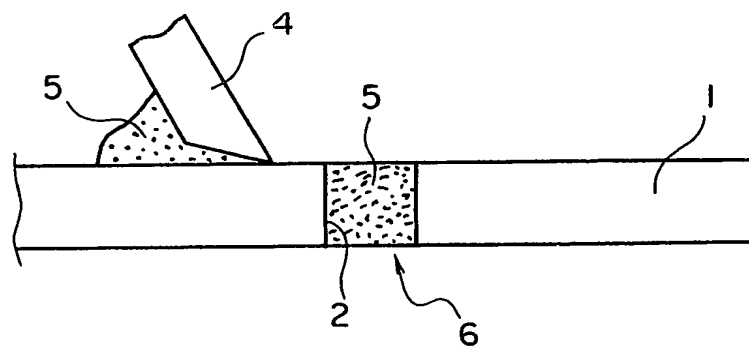
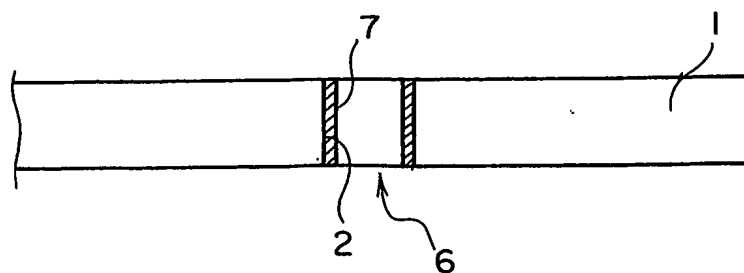


FIG. 6C



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/003681

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.<sup>7</sup> H05K1/11, 3/40, B23K26/38

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.<sup>7</sup> H05K1/11, 3/40, 3/46, B23K26/38

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Jitsuyo Shinan Toroku Koho	1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2002-261440 A (Sony Chemicals Corp.), 13 September, 2002 (13.09.02), (Family: none)	1, 6 2-3, 7-10
Y	JP 2002-314254 A (Toppan Printing Co., Ltd.), 25 October, 2002 (25.10.02), Par. Nos. [0016], [0027] to [0028]; Fig. 3 (Family: none)	2-5, 7-13
Y	JP 2002-9434 A (Toray Industries, Inc.), 11 January, 2002 (11.01.02), Par. Nos. [0019], [0038] to [0041]; Fig. 2 (Family: none)	4-5, 11-13

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
13 May, 2004 (13.05.04)

Date of mailing of the international search report  
01 June, 2004 (01.06.04)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/003681

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2002-76617 A (Matsushita Electric Works, Ltd.), 15 March, 2002 (15.03.02), Par. Nos. [0014], [0032] to [0037]; Fig. 1 (Family: none)	1-13
A	WO 02/62116 A1 (Matsushita Electric Industrial Co., Ltd.), 08 August, 2002 (08.08.02), & EP 1283662 A1 & JP 2002-232135 A	4-5, 11-13
A	JP 2002-252466 A (Japan Science and Technology Corp.), 06 September, 2002 (06.09.02), (Family: none)	1-13
A	JP 2002-208763 A (Matsushita Electric Industrial Co., Ltd.), 26 July, 2002 (26.07.02), Par. No. [0070] & EP 1206171 A2 & US 2002/127379 A1	2-5, 7-13



A. 発明の属する分野の分類 (国際特許分類 (IPC))		
Int. Cl. <sup>7</sup> H05K 1/11, 3/40, B23K 26/38		
B. 調査を行った分野		
調査を行った最小限資料 (国際特許分類 (IPC))		
Int. Cl. <sup>7</sup> H05K 1/11, 3/40, 3/46, B23K 26/38		
最小限資料以外の資料で調査を行った分野に含まれるもの		
日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2004年 日本国登録実用新案公報 1994-2004年 日本国実用新案登録公報 1996-2004年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	J P 2002-261440 A (ソニーケミカル株式会社) 2002. 09. 13 (ファミリーなし)	1, 6 2-3, 7-10
Y	J P 2002-314254 A (凸版印刷株式会社) 2002. 10. 25, 段落【0016】, 段落【0027】 - 【0028】, 第3図 (ファミリーなし)	2-5, 7-13
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日 13. 05. 2004		国際調査報告の発送日 01. 6. 2004
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 落合 弘之 3 S 2921 電話番号 03-3581-1101 内線 6226

C (続き). 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 2002-9434 A (東レ株式会社) 2002.01.11, 段落【0019】, 段落【0038】 - 【0041】, 第2図 (ファミリーなし)	4-5, 11-13
A	J P 2002-76617 A (松下電工株式会社) 2002.03.15, 段落【0014】, 段落【0032】 - 【0037】, 第1図 (ファミリーなし)	1-13
A	WO 02/62116 A1 (松下電器産業株式会社) 2002.08.08 & EP 1283662 A1 & J P 2002-232135 A	4-5, 11-13
A	J P 2002-252466 A (科学技術振興事業団) 2002.09.06 (ファミリーなし)	1-13
A	J P 2002-208763 A (松下電器産業株式会社) 2002.07.26, 段落【0070】 & EP 1206171 A2 & US 2002/127379 A1	2-5, 7-13

## 第IV欄 要約 (第1ページの5の続き)

放熱特性に優れ、低抵抗率化を達成できるとともに、基材に対し導体部の脱落防止を行うことのできる電子部品の製造方法および電子部品を提供する。

芯材(12)を有し少なくとも片面に導体層(14)が形成された基材(12)と、基材の他方表面側よりレーザ照射により形成されたビアホール(16)と、導体層を電極としてビアホールの内壁面に露出する芯材を覆うよう形成される第1めっき層(20)と、この第1めっき層の上層側に形成されビアホールの内壁面に密接する無電解めっき層(22)と、無電解めっき層を覆うよう導体層を電極として形成される第2めっき層(24)とを備え、第1めっき層と前記無電解めっき層と第2めっき層とで、前記ビアホール内に導体部(18)を構成するようにした。